

Best Available Copy

IDS (Paper #8)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-162906

(43)Date of publication of application : 21.06.1996

(51)Int.Cl.

H03H 17/02

H03H 17/04

H03H 17/06

H03H 21/00

(21)Application number : 06-297637

(71)Applicant : CANON INC

(22)Date of filing : 30.11.1994

(72)Inventor : HONMA YOSHIHIRO

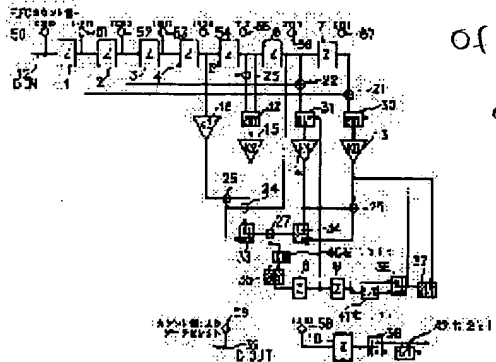
(54) DIGITAL SIGNAL PROCESSOR

(57)Abstract:

PURPOSE: To provide a digital filter capable of reducing the number of gates.

CONSTITUTION: This processor is constituted of serially connected delay elements 1-7, the delay elements 8, 9 and 10, adders 21-27, selectors 30-38, bit shifters 40-42, the multipliers 13-16 of coefficients K0-K3 and data selectors 50-59, etc. It becomes an FIR filter when only the selector 35 is turned to the side of '1' and it becomes a gain variable FIR filter when the selectors 30, 34, 35 and 37 are turned to the side of '1'. It becomes an IIR filter when the selectors 30, 31 and 35 are turned to the side of '1' and further, it becomes an all-pass IIR filter when the selectors 30-35 are turned to the side of '1'.

Also, by taking out data through the data selectors 50-57 connected to the delay element 7, it is used as a FIFO memory. Thus, respective parts are shared by the respective filters, the number of the gates are reduced and also, it is used as the FIFO memory.



selectors do not
select gain.
no multiplying
of coeff
gain

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the digital-signal-processing equipment which performs digital filter treatment etc.

[0002]

[Description of the Prior Art] Drawing 9 shows the transversal digital filter of seven conventional taps. This filter is an FIR (Finite Impulse Response) filter in which at least a straight line has a phase (group-delay flatness) property. It is indicated by the reference of many filter relation and this filter is **** to one of the reference of that. There is a guide to **** digital filter layout (CQ, publication, 1990). Here, a digital filter is briefly explained using this drawing 9.

[0003] In drawing 9, 1-7 are the data delay elements connected to the serial, and data is usually latched to the sampling timing of a digital signal, and they are sent to delay elements 1-7 in order. 12 is digital data inputted. 21-23 are adders and add the output of delay elements 1-7. 13-16 are multipliers and have multiplied the coefficients K0-K3 set as the register which is not illustrated, 21 to adder 23 output, and the latch output of a delay element 4. 25-27 are adders and are asking for the filter output by adding all the outputs of multipliers 13-16.

[0004] 43 is a bit selector for outputting by the bit width of face which needs the bit width of face of the data after addition. For example, when carrying out the filter operation of the 10-bit digital signal, in the multiplier and adder in a filter circuit, it calculates by 10 bits or more, an operation error is pressed down few, and filter precision is raised. For this reason, the output of an adder 27 becomes 10 bits or more, and he is trying to match the bit width of face of I/O by choosing from here the 10-bit digital data needed as a filter output.

[0005] Transfer function [of the filter of this drawing 1] $H(Z)$ is shown in a degree type.

$$H(Z) = (K0*Z^{-7} + K1*Z^{-6} + K2*Z^{-5} + K3*Z^{-4} + K2*Z^{-3} + K1*Z^{-2} + K0*Z^{-1}) \dots (1)$$

(1) If it asks for each coefficients K0-K3 of a formula according to the class of filter, it will become as it is shown in a table 1. Therefore, the transversal filter of arbitration can be constituted by calculating each coefficient from a table 1 and asking for a transfer function.

[0006]

[A table 1]

フィルタ種類	$K(n), N=0, 1, \dots$
LPF	$2 f_p T \text{Sa}((n-L) \omega_p T)$
HPF	$\text{Sa}((n-L) \pi) - 2 f_p T \text{Sa}((n-L) \omega_p T)$
BPF	$2 f_{p2} \text{Sa}((n-L) \omega_{p2} T) - 2 f_{p1} \text{Sa}((n-L) \omega_{p1} T)$
BRF	$\text{Sa}((n-L) \pi) + 2 f_{p1} \text{Sa}((n-L) \omega_{p1} T) - 2 f_{p2} \text{Sa}((n-L) \omega_{p2} T)$

[0007] Drawing 10 shows the block diagram of the conventional IIR filter. An IIR (the abbreviation for

Infinite Impulse Response) filter is a filter which an impulse response follows to infinity time amount ideally by the feedback circuit literally. Although the straight line phase characteristic from which a group delay becomes a flat like an FIR filter in a perimeter wave number band is unrealizable with an IIR filter, the steep amplitude characteristic can be acquired by the degree lower than an FIR filter. Moreover, also when digitizing the existing analog filter, it becomes this IIR type of configuration.

[0008] In drawing 10, the data delay element to which 701 latches input digital data and 702-705 latch data, the multiplier with which 710-714 carry out the multiplication of the coefficients K10-K14 to input data 701 and the output of each delay elements 702-705, and 706-709 are the adders adding each multiplication output.

[0009] As the layout method of an IIR filter, transfer function [of an analog filter] $H(s)$ is designed from specification, s-z conversion is performed, and there are an indirect method of asking for transfer function [of a digital filter] $H(z)$ and a method of asking for $H(z)$ in z field directly. Here, it explains with the design method of the former with an easy view. Moreover, as a property of this filter, although properties, such as Butterworth Chebyshev and reverse chevyshev, can be acquired, it limits to the filter of a butterworth property here. This design method is actually performed below and it asks for the coefficient of each multiplier. The criteria LPF layout table of each property is shown in a table 2.

[0010]

[A table 2]

基準 L P F 設計表

伝達関数	パラメータ
バターワース特性 $H(p) = b / (p^2 + a \cdot p + b)$	$b = d_0^2$ 、 $a = 2 \cdot d_0 \sin(\pi / 2N)$ 、 $d_0 = \varepsilon^{(-1/N)}$ 、 $\varepsilon = \sqrt{10^{(Ac/10)} - 1}$

但し $Ac = 3$ [dB] の場合、通常 $d_0 = 1$ とする。

[0011] Moreover, frequency conversion shown in a table 3 in quest of transfer function [of an analog filter] $H(s)$ from the criteria LPF layout table of a table 2 is performed.

[0012]

[A table 3]

要求される フィルタ	変換式
L P F	$p = s / \Omega_c$
H P F	$p = \Omega_c / s$
B P F	$p = (s^2 + \Omega_0^2) / s \Omega_b$
B R F	$p = s \Omega_b / (s^2 + \Omega_0^2)$

[0013] In order to ask for transfer function [of a digital filter] $H(z)$ furthermore, it asks by performing primary congruence second-z conversion of a formula (2), and the PURIWA ping of a formula (3).

$s = (2/T) (1 - Z^{-1}) / (1 + Z^{-1})$ -- (2) Primary congruence second-z conversion $\omega_{\text{cag}} = (2/T) \tan(\omega_{\text{cag}} T / 2)$ -- (3) If it asks for transfer function [of LPF and HPF of a butterworth property] $H(z)$ more than from a PURIWA ping, it will become like a degree type.

[0014]

[Equation 1]

L P F 伝達関数

$$H(z) = \frac{b \Omega_{cc}^2 (1 + 2Z^{-1} + Z^{-2}) / (1 + a \Omega_{cc} + b \Omega_{cc}^2)}{(1 - 2(1 - b \Omega_{cc}^2) Z^{-1} / (1 + a \Omega_{cc} + b \Omega_{cc}^2) + (1 - a \Omega_{cc} + b \Omega_{cc}^2) Z^{-2} / (1 + a \Omega_{cc} + b \Omega_{cc}^2))} \dots (4)$$

[0015]

[Equation 2]

H P F 伝達関数

$$H(z) = \frac{b (1 - 2Z^{-1} + Z^{-2}) / (b + a \Omega_{cc} + \Omega_{cc}^2)}{(1 - 2(b - \Omega_{cc}^2) Z^{-1} / (b + a \Omega_{cc} + \Omega_{cc}^2) + (b - a \Omega_{cc} + \Omega_{cc}^2) Z^{-2} / (b + a \Omega_{cc} + \Omega_{cc}^2))} \dots (5)$$

但し $\Omega_{cc} = \tan(\omega_c T / 2)$

[0016] Therefore, when it asks for a coefficient from this transfer function, respectively, it comes to be shown in a table 4.

[0017]

[A table 4]

バターワース伝達特性の各係数

係数	L P F	H P F
K10 =	$b \Omega_{cc}^2 / (1 + a \Omega_{cc} + b \Omega_{cc}^2)$	$b / (b + a \Omega_{cc} + \Omega_{cc}^2)$
K11 =	$2 * K10$	$- 2 * K10$
K12 =	$K10$	$K10$
K13 =	$2(1 - b \Omega_{cc}^2) / (1 + a \Omega_{cc} + b \Omega_{cc}^2)$	$2(b - \Omega_{cc}^2) / (b + a \Omega_{cc} + \Omega_{cc}^2)$
K14 =	$-(1 - a \Omega_{cc} + b \Omega_{cc}^2) / (1 + a \Omega_{cc} + b \Omega_{cc}^2)$	$-(b - a \Omega_{cc} + \Omega_{cc}^2) / (b + a \Omega_{cc} + \Omega_{cc}^2)$

但し $\Omega_{cc} = \tan(\omega_c T / 2)$

[0018] The IIR filter of a butterworth property can be constituted by calculating each coefficient from here and asking for a transfer function.

[0019]

[Problem(s) to be Solved by the Invention] However, a multiplier, an adder, etc. which constitute the conventional digital filter mentioned above have a large gate scale, and have the problem of becoming the huge gate number if many multipliers and an adder are used so that all of these filters may be constituted, and becoming very expensive.

[0020] It aims at offering the digital-signal-processing equipment which can constitute a circuit so that it might be made in order that this invention might solve the above problems, and it may become necessary minimum about the large block of gate scales, such as a multiplier and an adder.

[0021]

[Means for Solving the Problem] In invention of claim 1, two or more delay elements by which series connection was carried out, two or more adders, two or more coefficient multipliers, and two or more multipliers that carry out the multiplication of the coefficient, respectively are provided, and two or

more filters of a class were constituted by choosing an output of the above-mentioned delay element, the above-mentioned adder, and the above-mentioned multiplier by one or more selectors.

[0022] A delay circuit which consists of two or more delay elements connected to a serial in invention of claim 2, and is delayed in input data, Two or more arithmetic circuits which apply an output of a predetermined part of the above-mentioned delay circuit at a predetermined rate, One or more selectors outputted alternatively [two or more] under an output of a predetermined part of the above-mentioned delay circuit and operation output of two or more above-mentioned arithmetic circuits are provided, and selection of the above-mentioned selector constituted two or more kinds of filters.

[0023] A delay circuit which consists of two or more delay elements connected to a serial in invention of claim 4, and is delayed in input data, The 1st arithmetic circuit which applies an output of a predetermined part of the above-mentioned delay circuit at a predetermined rate, A selector which outputs alternatively an output of a predetermined part of the above-mentioned delay circuit, or an output and a feedback output of the above-mentioned arithmetic circuit, The 2nd arithmetic circuit which applies an output of the above-mentioned selector and an output of a predetermined part of the above-mentioned delay circuit at a predetermined rate, and forms the doubling above-mentioned feedback output is provided, and selection of the above-mentioned selector constituted two or more kinds of filters.

[0024] In invention of claim 6, it consisted of two or more delay elements connected to a serial, and considered as a configuration possessing a delay circuit delayed in input data, an arithmetic circuit which applies an output of a predetermined part of the above-mentioned delay circuit at a predetermined rate, and forms a necessary filtering output, and a selector which outputs alternatively each output of two or more above-mentioned delay elements.

[0025]

[Function] According to invention of claims 1, 2, and 4, by changing the flow of a signal by the selector, two or more kinds of filters can be constituted from one circuit, and the large multiplier and large adder of a gate scale can be used in common.

[0026] According to invention of claims 4 and 5, FIR and IIR can consist of common circuits further.

[0027] According to invention of claim 6, actuation of a selector can constitute FIFO and a filter using a common delay circuit.

[0028]

[Example] Hereafter, the example of this invention is explained about drawing. Drawing 1 is the block diagram showing the 1st example of this invention. The circuit of this drawing 1 is constituted so that it can use also as a FIFO memory, while being able to use as a digital filter. When using as a digital filter, it can use as an FIR filter, a gain adjustable FIR filter, an IIR filter, and an IIR mold all pass filter.

[0029] In drawing 1, 1-10 are data delay elements, and the sampling timing data of a digital signal is usually latched, and they are sent to delay elements 1-7 in order. 12 is input digital data. 13-16 are multipliers and are set as the register by whom coefficients K0-K3 are not illustrated, respectively. The 1st selector, and 33-38 are the 2nd selector, and, as for the 1st adder, and 24-27, 21-23 have [the 2nd adder, and 30-32] the contact of "0" and "1." 39 shows the filter output section and 40, 41, and 42 are the bit shifters for doubling four 1/2 twice about digital data, respectively. In multipliers 13-16, coefficients K0-K3, the output of selectors 30-32, and the latch output of a delay element 4 are multiplied.

[0030] It is a data selector for operating 50-59 as a FIFO memory to a pan, and FIFO for data buffers is constituted using the delay elements 1-7 connected to the serial.

[0031] Next, actuation of this circuit is explained. Since at least a straight line constitutes the FIR filter of a phase first, each contact is chosen as follows by each selectors 30-38.

selectors 30, 31, 32, 33, 34, 35, 36, and 37, 38--0, and 0, 0, 0, 0, 1, 0, 0 and 0 -- the circuitry in this case is shown in drawing 2.

[0032] 35, 36, and 38 of the selector of drawing 1 are for it being equivalent to the bit selector 43 shown in the conventional example of drawing 9, and choosing effective bits. By setting only a selector 35 to "1" here, the lower bit of the result of an operation will be outputted. When it is made into twice the set

point which calculated the coefficient beforehand depending on a coefficient, this bit selector connects the bit shifter 41 by the bit selector, and it is made to output one half of the results of an operation. In this case, selectors 35, 36, and 38 are set to "1", "1", and "0", respectively. Moreover, when a coefficient is made into 1/2 twice the set point calculated beforehand, the bit shifter 40 is connected by the bit selector, and it is made to output 2 of the result of an operation. In this case, selectors 35, 36, 37, and 38 are set to "0", "0", and "0", respectively. And the configuration of this drawing 2 becomes the same substantially with the filter configuration shown in the conventional example of drawing 9, and will constitute the transversal filter of seven taps.

[0033] In addition, he is trying to take out the filter output of the output delay element 10 from a data selector 59 through a data selector 58 in this case.

[0034] Next, the case where the transversal filter of five taps and the filter which equipped the output with the adjustable gain circuit are constituted is shown in drawing 3. In order to constitute this filter, selectors 30-38 are set up as follows.

Selectors 30, 31, 32, 33, 34, 35, 36, 37, and 38 -- 1, 0, 0, 0, 1, 1, 0, 1, 0 [0035] By selectors 30 and 37, this configuration separates a multiplier 13 from a filter tap, inputs the output after a filter operation into a multiplier 13, and makes that output the final output. Output gain can be finely tuned now with the coefficient K0 of the bit selector which furthermore consists of selectors 35, 36, and 38 in this case, and a multiplier 13.

[0036] Next, the case where an IIR mold filter is constituted is shown in drawing 4 (a). When it constitutes this filter, selectors 30-38 are set up as follows.

Selectors 30, 31, 32, 33, 34, 35, 36, 37, and 38 -- 1, 1, 0, 0, 0, 1, 0, 0, 0 [0037] In this case, selectors 30 and 31 constitute the IIR filter by returning output data. Drawing 4 (b) changed this configuration into the form which is easier to understand. Although the IIR filter shown in the conventional example of drawing 10 needs five multipliers 710-714, it can constitute from four multipliers 13-16 here. If a formula (4), (5), and a table 4 are seen, since it becomes a value with completely same a coefficient K10 and a coefficient K12, this can communalize K10 and K12 with 15 multiplier K2, so that clearly.

Thereby, drastic reduction of the gate number is realizable. The selectors 35 and 36 in this configuration are furthermore effective in raising the operation precision of a multiplier other than the function of a bit selector.

[0038] Next, this improvement in precision is explained. A formula (4) and (5) come to be shown in a table 4, when the term of a coefficient K13 and a coefficient K14 is seen. Therefore, $2 > K13 > -1$ from the conditions of $\omega_{\text{acc}} = \tan(\omega_{\text{ac}} T/2) \geq 0$ It is set to -2 and $1 > K14 > -1$.

[0039] Then, if a coefficient K1 becomes $K1 > 1$, feedback data is inputted into a multiplier 14 with the value doubled by the bit shifter 40, and 1/2 is taken for a multiplier 13, and he returns to it, and is trying to input into it by the bit shifter 41 by setting a selector 35 as "0" and setting a selector 36 as "1." In this case, he is trying to increase the significant digit of the coefficient of a multiplier 13 by carrying and inputting the coefficient value of a multiplier 13 to an original coefficient value. Moreover, if a coefficient K1 becomes $K1 < 1$, it will be good by setting a selector 35 as "1" and setting a selector 36 as "0" without carrying a multiplier 13.

[0040] That is, as shown in drawing 4 (b), an input value is doubled two by the bit shifter 40 at the time of $K1 > 1$, and it inputs as it is at the time of $K1 < 1$, without doubling two. Thus, by changing a bit shift according to the value of K2, a large value can be relatively inputted into coefficients other than K2, the operation error of a multiplier can be lessened, and the operation precision of a filter can be improved by this.

[0041] Next, the case where an IIR mold all pass filter is constituted is shown in drawing 5 (a). In order to constitute this filter, selectors 30-38 are set up as follows.

selectors 30, 31, 32, 33, 34, 35, 36, and 37, 38--1, and 1, 1, 1, 0, 1, 0, 0 and 0 -- since only a phase characteristic is changed without the amplitude characteristic changing, this filter is used, for example as a filter for speech processing. The outline configuration which changed this configuration into the form which is easier to understand is drawing 5 (b). Although the transfer function is shown in this drawing, to make it an all pass filter, it is necessary to set up the coefficient register of each multiplier on the

conditions of $K_0=K_3$ and $K_1=K_2$.

[0042] Next, the circuit shown in drawing 1 functions also as a FIFO memory used as each filter circuit mentioned above, and also using delay elements 1-7. Although the data selector 59 has chosen the FIFO output of the data filter 58 at the time of the filter actuation mentioned above, a data selector 59 chooses the output of data selectors 50-57 at the time of this FIFO actuation. That is, he is trying to choose the data of each FIFO output of data selectors 50-57 based on the value of the FIFO counter by which an increment is carried out for every input of input data 12. and the thing done for the decrement of the FIFO counter whenever reading appearance of the data is carried out from a data selector 59 -- Fast In Fast Out -- FIFO memory actuation can be performed literally. Moreover, a FIFO memory output is taken out from a data selector 59 in this case.

[0043] As it came, by [which were described above] changing the data selectors 30-38 of drawing 1 , multipliers 13-16 and adders 21-27 can be used in common, and, thereby, IIR filters, such as a 7 tap FIR filter, a 5 tap FIR filter and fine control of the gain, and butterworth, and an all pass IIR filter can consist of the small gate numbers. Furthermore, a FIFO memory can be constituted using data selectors 50-57 and delay elements 1-7.

[0044] Drawing 6 shows the 2nd example of this invention. In drawing 6 , 201-210 are data delay elements, and data is usually latched to the sampling timing of a digital signal, and they are sent to delay elements 201-209 in order. 212 is an input and digital data. 213-217 are multipliers and are set as the register with which coefficients $K_{20}-K_{24}$ are not illustrated. As for 231-238, an adder, and 240-244 are selectors.

[0045] It is a bit shifter for 239 to select the filter output section and for 211 select effective bits. In the multiplier of 213-217, the output of each coefficient $K_{20} - K_{24}$ selectors 241-244 and the latch output of a delay element 205 are multiplied, respectively. Although this circuit is similar to the circuit explained in the 1st example, it can constitute the FIR filter of nine taps, and the secondary IIR filter of arbitration.

[0046] Next, actuation of this circuit is explained. When at least a straight line constitutes the FIR filter of a phase first, each selectors 240-244 select the "0" sides. The FIR filter circuit of nine taps as this shows to drawing 7 is constituted. Since this filter can understand easily the number of the taps of the FIR filter of seven taps shown by drawing 2 of the 1st example from an increase or the actuation which carried out and mentioned actuation above about the FIR filter of seven taps of drawing 2 , it omits explanation.

[0047] Next, when it constitutes an IIR filter, each selectors 240-244 carry out the selector of the "1" side. The secondary IIR filter as this shows to drawing 8 can be constituted. Since he can understand actuation of this filter easily from the IIR filter shown in the conventional example of drawing 10 , explanation is omitted.

[0048] Thus, the change of selectors 240-244 can constitute various filter circuits where a configuration changes with circuits of the 2nd example shown in drawing 6 from the necessary minimum gate number.

[0049] In addition, also in this drawing 6 , a FIFO memory can be constituted by preparing the data selector which takes out the input of a delay element 201, and the output of other delay elements 2-7, and operating each data selector according to a FIFO counter.

[0050]

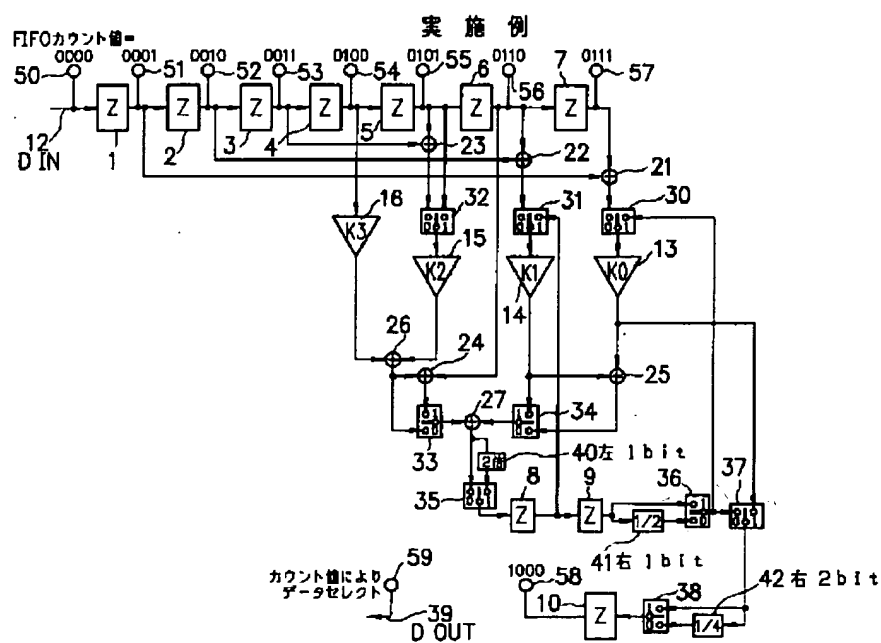
[Effect of the Invention] By according to this invention, constituting from two or more delay elements, an adder, a multiplier, a selector, a bit shifter, etc., respectively, and having constituted two or more kinds of filters by selection of a selector, as explained above Though it is the various functions circuit which can constitute two or more kinds of filters, the large block of gate scales, such as a multiplier and an adder, can be constituted now from necessary minimum, therefore the gate number is stopped few, it is cheap and, moreover, a circuit with a sufficient operation precision can be realized. Moreover, it can respond to various systems which need functions, such as a filter, by this, and is effective in the ability to build a cheap various functions system.

[0051] Moreover, it can constitute now even from an FIR and IIR by constituting like claim 4 using the

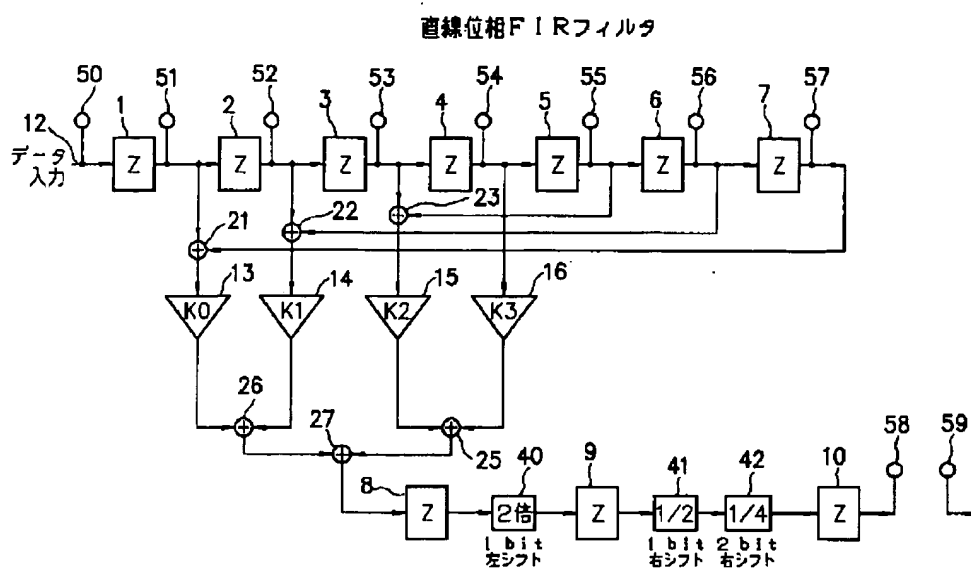
same circuit element.

[0052] Moreover, a filter and FIFO can be constituted now by constituting like claim 6 using a common delay element.

[Translation done.]

Drawing selection drawing 1

[Translation done.]

Drawing selection drawing 2

$$H(Z) = (K_0 \cdot Z^{-7} + K_1 \cdot Z^{-6} + K_2 \cdot Z^{-5} + K_3 \cdot Z^{-4} + K_2 \cdot Z^{-3} + K_1 \cdot Z^{-2} + K_0 \cdot Z^{-1}) Z^{-3}$$

[Translation done.]

2/5/1 (Item 1 from file: 351)
 DIALOG(R) File 351:Derwent WPI
 (c) 2002 Thomson Derwent. All rts. reserv.

010851039 **Image available**
 WPI Acc No: 1996-347992/ 199635
 XRPX Acc No: N96-293280

Digital-signal processing appts. for digital filtering - has several
 selectors choosing output of retardation units, adders, and multipliers
 to produce combination corresp. to specific filter function

Patent Assignee: CANON KK (CANO)
 Number of Countries: 001 Number of Patents: 001
 Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8162906	A	19960621	JP 94297637	A	19941130	199635 B

Priority Applications (No Type Date): JP 94297637 A 19941130

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 8162906	A	11	H03H-017/02	

Abstract (Basic): JP 8162906 A

The appts. includes multipliers (13-16), data selectors (50-57), retardation units (1-10), adders (21-27), selectors (30-38), bit shifters (40-42) and factor units (K0-K3). The selectors chooses the output of the retardation units, the adders, and the multipliers. Each selection combination chosen will set the appts. into different filter functions. The appts. will be a finite impulse response filter only if the selector (35) is in the high state.

If selectors (30,34,35,37) are in the high state, the appts. will act as a gain varying FIR filter. If the selectors (30,31,35) are in the high state, the appts. will act as an infinite impulse response filter and if selectors (30-35) are all in the high state, the appts. will act as an all-pass IIR filter.

ADVANTAGE - Can be used as first-in first-out memory when data is produced in through data selectors. Reduces number of gates.

Realises cheap and multi-function circuit with precise and sufficient operation.

Dwg.1/10

Title Terms: DIGITAL; SIGNAL; PROCESS; APPARATUS; DIGITAL; FILTER; SELECT; CHOICE; OUTPUT; RETARD; UNIT; ADDER; MULTIPLIER; PRODUCE; COMBINATION; CORRESPOND; SPECIFIC; FILTER; FUNCTION

Index Terms/Additional Words: FIFO

Derwent Class: U22

International Patent Class (Main): H03H-017/02

International Patent Class (Additional): H03H-017/04; H03H-017/06;

H03H-021/00

File Segment: EPI

2/5/2 (Item 1 from file: 347)
 DIALOG(R) File 347:JAPIO
 (c) 2002 JPO & JAPIO. All rts. reserv.

05207406 **Image available**
 DIGITAL SIGNAL PROCESSOR

PUB. NO.: 08-162906 [JP 8162906 A]

PUBLISHED: June 21, 1996 (19960621)

INVENTOR(s): HONMA YOSHIHIRO

APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 06-297637 [JP 94297637]

FILED: November 30, 1994 (19941130)

INTL CLASS: [6] H03H-017/02; H03H-017/04; H03H-017/06; H03H-021/00

JAPIO CLASS: 44.1 (COMMUNICATION -- Transmission Circuits & Antennae)

ABSTRACT

PURPOSE: To provide a digital filter capable of reducing the number of gates.

CONSTITUTION: This processor is constituted of serially connected delay elements 1-7, the delay elements 8, 9 and 10, adders 21-27, selectors 30-38, bit shifters 40-42, the multipliers 13-16 of coefficients K0-K3 and data selectors 50-59, etc. It becomes an FIR filter when only the selector 35 is turned to the side of '1' and it becomes a gain variable FIR filter when the selectors 30, 34, 35 and 37 are turned to the side of '1'. It becomes an IIR filter when the selectors 30, 31 and 35 are turned to the side of '1' and further, it becomes an all-pass IIR filter when the selectors 30-35 are turned to the side of '1'. Also, by taking out data through the data selectors 50-57 connected to the delay element 7, it is used as a FIFO memory. Thus, respective parts are shared by the respective filters, the number of the gates are reduced and also, it is used as the FIFO memory.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-162906

(43) 公開日 平成8年(1996)6月21日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 17/02	Z	8842-5 J		
17/04	A	8842-5 J		
17/06	A	8842-5 J		
21/00		8842-5 J		

審査請求 未請求 請求項の数 9 O L (全 11 頁)

(21) 出願番号 特願平6-297637

(22) 出願日 平成6年(1994)11月30日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 本間 義浩

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 弁理士 國分 孝悦

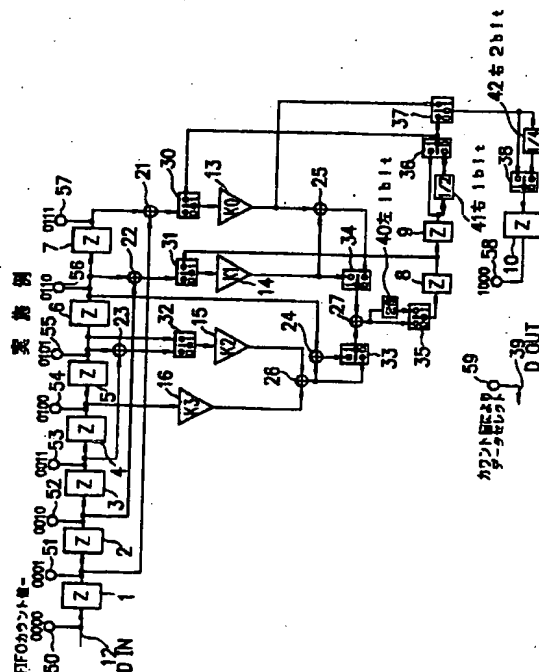
(54) 【発明の名称】 デジタル信号処理装置

(57) 【要約】

【目的】 ゲート数を削減できるデジタルフィルタを得る。

【構成】 直列接続された遅延素子1～7、遅延素子8、9、10、加算器21～27、セクタ30～38、ビットシフタ40～42、係数K0～K3の乗算器13～16及びデータセクタ50～59等により構成される。セクタ35のみ“1”側にするとFIRフィルタとなり、セクタ30、34、35、37を“1”側にするとゲイン可変FIRフィルタとなる。セクタ30、31、35を“1”側にするとIIRフィルタとなり、セクタ30、31、35を“1”側にするとIIRフィルタとなる。さらにセクタ30～35を“1”側にするとオールパスIIRフィルタとなる。また遅延素子7に接続されたデータセクタ50～57を介してデータを取り出すことでFIFOメモリとして用いられる。

【効果】 各部を各フィルタで共用することができ、ゲート数を削減すると共にFIFOメモリとしても用いることができる。



【特許請求の範囲】

【請求項1】 直列接続された複数の遅延素子と、複数の加算器と、複数の係数器と、夫々係数を乗算する複数の乗算器とを具備し、1以上のセレクタにより上記遅延素子、上記加算器、上記乗算器の出力を選択することにより複数種類のフィルタを構成するようにしたデジタル信号処理装置。

【請求項2】 直列に接続された複数の遅延素子からなり、入力データを遅延する遅延回路と、上記遅延回路の所定箇所の出力を所定の割合で加え合わせる複数の演算回路と、

上記遅延回路の所定箇所の出力と上記複数の演算回路の演算出力中の2以上を選択的に出力する1以上のセレクタとを具備し、

上記セレクタの選択により、複数種類のフィルタを構成するようにしたデジタル信号処理装置。

【請求項3】 上記セレクタの少なくとも1つは上記演算回路の所定の演算出力と、その所定の演算出力をビットシフトした出力とを選択的に出力する請求項2記載のデジタル信号処理装置。

【請求項4】 直列に接続された複数の遅延素子からなり、入力データを遅延する遅延回路と、上記遅延回路の所定箇所の出力を所定の割合で加え合わせる第1の演算回路と、

上記遅延回路の所定箇所の出力もしくは上記演算回路の出力と帰還出力とを選択的に出力するセレクタと、

上記セレクタの出力と上記遅延回路の所定箇所の出力とを所定の割合で加え合わせ上記帰還出力を形成する第2の演算回路とを具備し、

上記セレクタの選択により、複数種類のフィルタを構成するようにしたデジタル信号処理装置。

【請求項5】 上記セレクタの選択によりIIRフィルタとFIRフィルタとを選択的に構成する請求項4記載のデジタル信号処理装置。

【請求項6】 直列に接続された複数の遅延素子からなり、入力データを遅延する遅延回路と、上記遅延回路の所定箇所の出力を所定の割合で加え合わせ、所要のフィルタリング出力を形成する演算回路と、上記複数の遅延素子の各出力を選択的に出力するセレクタとを具備するデジタル信号処理装置。

【請求項7】 上記セレクタは上記遅延回路へのデータ入力毎にインクリメントするカウンタに応じて、上記選択を行う請求項6記載のデジタル信号処理装置。

$$H(Z) = (K_0 * Z^{-1} + K_1 * Z^{-2} + K_2 * Z^{-3} + K_3 * Z^{-4} + K_2 * Z^{-5} + K_1 * Z^{-6} + K_0 * Z^{-7}) \dots (1)$$

(1) 式の各係数 $K_0 \sim K_3$ をフィルタの種類に応じて求めると表1ようになる。従って表1から各係数を計算し伝達関数を求めることにより、任意のトランスバー

*【請求項8】 上記セレクタは上記演算回路からのデータ出力毎にデクリメントするカウンタに応じて、上記選択を行う請求項6記載のデジタル信号処理装置。

【請求項9】 上記セレクタは上記複数の遅延素子の各出力と上記演算回路の出力を選択的に出力する請求項6、7もしくは8記載のデジタル信号処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデジタルフィルタ処理等を行うデジタル信号処理装置に関するものである。

【0002】

【従来の技術】 図9は従来の7タップのトランスバーサルデジタルフィルタを示す。このフィルタは直線位相(群遅延平坦)特性を持つFIR(Finite Impulse Response)フィルタである。このフィルタは多くのフィルタ関連の文献に記載されており、その文献の1つに尾知博著「デジタル・フィルタ設計入門」(CQ出版、1990)がある。ここではこの図9を用いてデジタルフィルタについて簡単に説明する。

【0003】 図9において、1～7は直列に接続されたデータ遅延素子であり、通常デジタル信号のサンプリングタイミングでデータがラッチされ遅延素子1から7へと順に送られていく。12は入力されるデジタルデータである。21～23は加算器であり遅延素子1～7の出力を足し合わせている。13～16は乗算器であり、図示されていないレジスタに設定してある係数 $K_0 \sim K_3$ と加算器21～23出力及び遅延素子4のラッチ出力とを掛け合わせている。25～27は加算器であり、乗算器13～16の出力すべてを足し合わせることで、フィルタ出力を求めている。

【0004】 43は加算後のデータのビット幅を、必要とするビット幅で出力するためのビットセレクタである。例えば10ビットのデジタル信号をフィルタ演算する場合、フィルタ回路内の乗算器及び加算器では10ビット以上で演算を行い、演算誤差を少なく押えてフィルタ精度を高めている。このため加算器27の出力は10ビット以上になり、ここからフィルタ出力として必要とする10ビットのデジタルデータを選択することにより、入出力のビット幅をマッチングするようにしている。

【0005】 この図1のフィルタの伝達関数 $H(Z)$ は次式に示される。

サルフィルタを構成することができる。

【0006】

【表1】

フィルタ種類	$K(n), N=0,1,\dots$
L P F	$2 f_p T \text{Sa}((n-L) \omega_p T)$
H P F	$\text{Sa}((n-L)\pi) - 2 f_p T \text{Sa}((n-L) \omega_p T)$
B P F	$2 f_{p2} \text{Sa}((n-L) \omega_{p2} T) - 2 f_{p1} \text{Sa}((n-L) \omega_{p1} T)$
B R F	$\text{Sa}((n-L)\pi) + 2 f_{p1} \text{Sa}((n-L) \omega_{p1} T) - 2 f_{p2} \text{Sa}((n-L) \omega_{p2} T)$

【0007】図10は従来のIIRフィルタの構成図を示す。IIR (Infinite Impulse Response の略) フィルタとは、文字通りインパルス応答がフィードバック回路により理想的には無限時間まで続くフィルタである。IIRフィルタではFIRフィルタのように群遅延が全周波数帯域でフラットになる直線位相特性は実現できないが、FIRフィルタより低い次数で急峻な振幅特性を得ることができる。また、既存のアナログフィルタをデジタル化する場合もこのIIR型の構成となる。

【0008】図10において、701は入力デジタルデータ、702～705はデータをラッチするデータ遅延素子、710～714は入力データ701及び各遅延素子702～705の出力に係数K10～K14を乗算する乗算器、706～709は各乗算出力を加算する加*

*算器である。

10 【0009】IIRフィルタの設計方法としては、仕様からアナログフィルタの伝達関数 $H(s)$ を設計して $s-z$ 変換を施し、デジタルフィルタの伝達関数 $H(z)$ を求める間接的な方法と、直接 z 領域で $H(z)$ を求める方法とがある。ここでは考え方が容易な前者の設計法で説明する。また、このフィルタの特性としては、バターワース・チェビシェフ・逆チェビシェフ等の特性を得られるが、ここではバターワース特性のフィルタに限定しておく。以下この設計法を実際に行って各乗算器の係数を求めていく。表2に各特性の基準LPF設計表を示す。

【0010】

【表2】

基準LPF設計表

伝達関数	パラメータ
バターワース特性 $H(p) = b / (p^2 + a \cdot p + b)$	$b = d_0^2$ 、 $a = 2 \cdot d_0 \sin(\pi / 2N)$ 、 $d_0 = \varepsilon^{(-1/N)}$ 、 $\varepsilon = \sqrt{10^{(Ac/10)} - 1}$

但し $Ac = 3$ [dB] の場合、通常 $d_0 = 1$ とする。

【0011】また表2の基準LPF設計表からアナログフィルタの伝達関数 $H(s)$ を求めるには表3に示す周波数変換を行う。

※ 【0012】

【表3】

※

要求されるフィルタ	変換式
L P F	$p = s / \Omega_c$
H P F	$p = \Omega_c / s$
B P F	$p = (s^2 + \Omega_0^2) / s \Omega_b$
B R F	$p = s \Omega_b / (s^2 + \Omega_0^2)$

【0013】さらにデジタルフィルタの伝達関数 $H(z)$ を求めるには、式(2)の双1次 $s-z$ 変換と、

式(3)のプリワーピングを行って求める。

$$s = (2/T) (1 - Z^{-1}) / (1 + Z^{-1}) \quad \dots (2) \quad \text{双1次 } s-z \text{ 変換}$$

$$\Omega c = (2/T) \tan(\omega c T/2) \quad \dots (3) \quad \text{プリワーピング}$$

以上からバターワース特性のLPFとHPFの伝達関数 * 【0014】

H(z) を求めると、次式のようになる。 * 【数1】

$$H(z) = \frac{b \Omega c c^2 (1 + 2Z^{-1} + Z^{-2}) / (1 + a \Omega c c + b \Omega c c^2)}{(1 - 2(1 - b \Omega c c^2) Z^{-1} / (1 + a \Omega c c + b \Omega c c^2) + (1 - a \Omega c c + b \Omega c c^2) Z^{-2} / (1 + a \Omega c c + b \Omega c c^2))}$$

... (4)

【0015】

※10※ 【数2】

$$H(z) = \frac{b (1 - 2Z^{-1} + Z^{-2}) / (b + a \Omega c c + \Omega c c^2)}{(1 - 2(b - \Omega c c^2) Z^{-1} / (b + a \Omega c c + \Omega c c^2) + (b - a \Omega c c + \Omega c c^2) Z^{-2} / (b + a \Omega c c + \Omega c c^2))}$$

但し $\Omega c c = \tan(\omega c T/2)$

... (5)

【0016】 によってこの伝達関数からそれぞれ係数を求 * 【0017】
めると表4に示すようになる。 * 【表4】

バターワース伝達特性の各係数

係数	LPF	HPF
K10 =	$b \Omega c c^2 / (1 + a \Omega c c + b \Omega c c^2)$	$b / (b + a \Omega c c + \Omega c c^2)$
K11 =	$2 * K10$	$-2 * K10$
K12 =	$K10$	$K10$
K13 =	$2(1 - b \Omega c c^2) / (1 + a \Omega c c + b \Omega c c^2)$	$2(b - \Omega c c^2) / (b + a \Omega c c + \Omega c c^2)$
K14 =	$-(1 - a \Omega c c + b \Omega c c^2) / (1 + a \Omega c c + b \Omega c c^2)$	$-(b - a \Omega c c + \Omega c c^2) / (b + a \Omega c c + \Omega c c^2)$

但し $\Omega c c = \tan(\omega c T/2)$

【0018】 ここから各係数を計算し、伝達関数を求めることにより、バターワース特性のIIRフィルタを構成することができる。

【0019】

【発明が解決しようとする課題】 しかしながら、上述した従来のデジタルフィルタを構成する乗算器や加算器などはゲート規模が大きく、これらのフィルタをすべて構成するように多くの乗算器、加算器を用いると膨大なゲート数となり、非常に高価なものになるという問題がある。

【0020】 本発明は上記のような問題を解決するためになされたもので、乗算器や加算器等のゲート規模の大きいブロックを必要最小限になるように回路を構成することのできるデジタル信号処理装置を提供することを目的としている。

【0021】

【課題を解決するための手段】 請求項1の発明においては、直列接続された複数の遅延素子と、複数の加算器と、複数の係数器と、夫々係数を乗算する複数の乗算器

とを具備し、1以上のセレクタにより上記遅延素子、上記加算器、上記乗算器の出力を選択することにより複数種類のフィルタを構成するようにした。

【0022】 請求項2の発明においては、直列に接続された複数の遅延素子からなり、入力データを遅延する遅延回路と、上記遅延回路の所定箇所の出力を所定の割合で加え合わせる複数の演算回路と、上記遅延回路の所定箇所の出力と上記複数の演算回路の演算出力中の2以上を選択的に出力する1以上のセレクタとを具備し、上記セレクタの選択により、複数種類のフィルタを構成するようにした。

【0023】 請求項4の発明においては、直列に接続された複数の遅延素子からなり、入力データを遅延する遅延回路と、上記遅延回路の所定箇所の出力を所定の割合で加え合わせる第1の演算回路と、上記遅延回路の所定箇所の出力もしくは上記演算回路の出力と帰還出力とを選択的に出力するセレクタと、上記セレクタの出力と上記遅延回路の所定箇所の出力とを所定の割合で加え合わせ上記帰還出力を形成する第2の演算回路とを具備し、

上記セレクタの選択により、複数種類のフィルタを構成するようにした。

【0024】請求項6の発明においては、直列に接続された複数の遅延素子からなり、入力データを遅延する遅延回路と、上記遅延回路の所定箇所の出力を所定の割合で加え合わせ、所要のフィルタリング出力を形成する演算回路と、上記複数の遅延素子の各出力を選択的に出力するセレクタとを具備する構成とした。

【0025】

【作用】請求項1、2、4の発明によれば、セレクタにより信号の流れを変えることにより、1つの回路で複数種類のフィルタを構成することができ、ゲート規模の大きい乗算器や加算器を共通に用いることができる。

【0026】請求項4、5の発明によれば、更に、FIRとIIRを共通の回路にて構成できる。

【0027】請求項6の発明によれば、セレクタの動作によりFIFOとフィルタとを共通の遅延回路を用いて構成できる。

【0028】

【実施例】以下、この発明の実施例を図について説明する。図1は本発明の第1の実施例を示す構成図である。この図1の回路は、デジタルフィルタとして用いることができると共に、FIFOメモリとしても用いることができるように構成されている。デジタルフィルタとして用いる場合は、FIRフィルタ、ゲイン可変FIRフィルタ、IIRフィルタ、IIR型オールパスフィルタとして用いることができる。

【0029】図1において、1～10はデータ遅延素子であり、通常デジタル信号のサンプリングタイミングデータがラッチされ遅延素子1から7へと順に送られていく。12は入力デジタルデータである。13～16は乗算器であり、それぞれ係数 $K_0 \sim K_3$ が図示されていないレジスタに設定されている。21～23は第1の加算器、24～27は第2の加算器、30～32は第1のセレクタ、33～38は第2のセレクタであり、“0”と“1”の接点を有している。39はフィルタ出力部を示し、40、41、42はそれぞれデジタルデータを2倍、1/2倍、4倍するためのビットシフトである。乗算器13～16では、係数 $K_0 \sim K_3$ とセレクタ30～32の出力及び遅延素子4のラッチ出力とを掛け合わせている。

【0030】さらに50～59はFIFOメモリとして動作させるためのデータセレクタであり、直列に接続されている遅延素子1～7を用いてデータバッファ用のFIFOを構成している。

【0031】次にこの回路の動作について説明する。まず直線位相のFIRフィルタを構成するために各セレクタ30～38により次のように各接点を選択する。

セレクタ30、31、32、33、34、35、36、37、38…0、0、0、0、0、1、0、0、0

この場合の回路構成を図2に示す。

【0032】図1のセレクタの35、36、38は図9の従来例で示すところのビットセレクタ43に相当し、有効ビットを選択するためのものである。ここでセレクタ35のみ“1”にすることで、演算結果の下位ビットを出力することになる。このビットセレクタは係数に依存し、係数をあらかじめ計算した設定値の2倍にしたときは、ビットセレクタでビットシフト41を接続して演算結果の1/2を出力するようにする。この場合、セレクタ35、36、38はそれぞれ“1”、“1”、“1”とする。また、係数をあらかじめ計算した設定値の1/2倍にしたときは、ビットセレクタでビットシフト40を接続して演算結果の2を出力するようにする。この場合はセレクタ35、36、37、38はそれぞれ“0”、“0”、“0”とする。そしてこの図2の構成は図9の従来例で示したフィルタ構成と実質的に同じになり、7タップのトランスバーサルフィルタを構成することになる。

【0033】尚、この場合は、出力遅延素子10のフィルタ出力はデータセレクタ58を介してデータセレクタ59から取り出すようにしている。

【0034】次に5タップのトランスバーサルフィルタとその出力に可変ゲイン回路を備えたフィルタを構成した場合を図3に示す。このフィルタを構成するためにはセレクタ30～38を次のように設定する。

セレクタ30、31、32、33、34、35、36、37、38…1、0、0、0、1、1、0、1、0

【0035】この構成はセレクタ30と37により、乗算器13をフィルタタップから切り離し、フィルタ演算後の出力を乗算器13へ入力し、その出力を最終出力としている。さらにこの場合セレクタ35、36、38で構成されるビットセレクタと乗算器13の係数 K_0 により出力ゲインを微調整することができるようになる。

【0036】次にIIR型フィルタを構成した場合を図4(a)に示す。このフィルタを構成する場合セレクタ30～38を次のように設定する。

セレクタ30、31、32、33、34、35、36、37、38…1、1、0、0、0、1、0、0、0

【0037】この場合はセレクタ30と31により、出力データを帰還させることにより、IIRフィルタを構成している。この構成をより理解しやすい形に変えたのが、図4(b)である。図10の従来例で示したIIRフィルタは乗算器710～714を5個必要とするが、ここでは4つの乗算器13～16で構成することができる。これは式(4)、(5)及び表4を見れば明らかのように、係数 K_{10} と係数 K_{12} とはまったく同一の値になることから、 K_{10} と K_{12} を乗算器15の K_2 で共通化することができる。これによりゲート数の大幅な削減を実現することができる。さらにこの構成におけるセレクタ35、36はビットセレクタの機能のほかに乗

算器の演算精度を向上させる効果がある。

【0038】次にこの精度向上について説明する。式(4)、(5)において、係数K13と係数K14の項を見ると、表4に示すようになる。よって

$$\Omega_{cc} = \tan(\omega_c T/2) \geq 0$$

という条件から $2 > K13 > -2$ 、 $1 > K14 > -1$ になる。

【0039】そこで係数K1が $K1 > 1$ ならば、セレクト35を“0”に、セレクト36を“1”に設定することにより、帰還データを乗算器14にはビットシフト40で2倍にした値で入力し、乗算器13にはビットシフト41で $1/2$ して元にもどして入力するようにしている。この場合には本来の係数値に対して、乗算器13の係数値を桁上げて入力することにより、乗算器13の係数の有効桁を増すようにしている。また係数K1が $K1 < 1$ ならば、セレクト35を“1”、セレクト36を“0”に設定することにより、乗算器13を桁上げしないでよいことになる。

【0040】即ち、図4(b)に示すように、 $K1 > 1$ のときはビットシフト40で入力値を2倍し、 $K1 < 1$ の時は2倍せずにそのまま入力する。このようにK2の値に応じてビットシフトを切り替えることにより、相対的にK2以外の係数に大きい値を入力することができ、乗算器の演算誤差を少なくすることができ、これによってフィルタの演算精度を向上することができる。

【0041】次にIIR型オールパスフィルタを構成した場合を図5(a)に示す。このフィルタを構成するためにはセレクト30~38を次のように設定する。

セレクト30、31、32、33、34、35、36、37、38...1、1、1、1、0、1、0、0、0

このフィルタは振幅特性が変わらずに位相特性のみが変えられるので、例えば音声処理用のフィルタとして用いられる。この構成をより理解しやすい形に変えた概略構成が図5(b)である。この図には伝達関数を示してあるが、オールパスフィルタにする場合には $K0 = K3$ 、 $K1 = K2$ という条件で各乗算器の係数レジスタを設定する必要がある。

【0042】次に、図1に示す回路は、上述した各フィルタ回路として用いるほかに遅延素子1~7を用いたFIFOメモリとしても機能する。上述したフィルタ動作時にはデータセレクト59はデータフィルタ58のFIFO出力を選択しているが、このFIFO動作時には、データセレクト59はデータセレクト50~57の出力を選択する。即ち、入力データ12の入力毎にインクリメントされるFIFOカウンタの値をもとにデータセレクト50~57の各FIFO出力のデータを選択するようにしている。そしてデータセレクト59からデータが読み出される毎に、FIFOカウンタをデクリメントすることにより、Fast In Fast Outの文字通りFIFOメモリ動作を行うことができる。また、この場合は、デー

タセレクト59よりFIFOメモリ出力が取り出される。

【0043】以上述べたきたように、図1のデータセレクト30~38を切り替えることにより、乗算器13~16及び加算器21~27を共通に使用することができ、これにより少ないゲート数で、7タップFIRフィルタ、5タップFIRフィルタ及びそのゲインの微調、バターワース等のIIRフィルタ及びオールパスIIRフィルタを構成することができる。またさらにデータセレクト50~57及び遅延素子1~7を用いてFIFOメモリを構成することができる。

【0044】図6は本発明の第2の実施例を示す。図6において、201~210はデータ遅延素子であり、通常デジタル信号のサンプリングタイミングでデータがラッチされ遅延素子201~209へと順に送られていく。212は入力、ディジタルデータ。213~217は乗算器であり、係数K20~K24が図示されていないレジスタに設定してある。231~238は加算器、240~244はセレクトである。

【0045】239はフィルタ出力部、211は有効ビットをセレクトするためのビットシフトである。213~217の乗算器では、各係数K20~K24セレクト241~244の出力及び遅延素子205のラッチ出力とをそれぞれ掛け合わせている。この回路は、第1の実施例で説明した回路に類似しているが、9タップのFIRフィルタと任意の2次のIIRフィルタとを構成することができる。

【0046】次にこの回路の動作について説明する。まず直線位相のFIRフィルタを構成する場合には、各セレクト240~244は“0”側をセレクトする。これにより図7に示すような9タップのFIRフィルタ回路が構成される。このフィルタは第1の実施例の図2で示した7タップのFIRフィルタのタップ数を増やしたものであり、動作は図2の7タップのFIRフィルタについて前述した動作から容易に理解できるので説明を省略する。

【0047】次にIIRフィルタを構成する場合は、各セレクト240~244は“1”側をセレクトする。これにより図8に示すような2次のIIRフィルタを構成することができる。このフィルタの動作は図10の従来例で示したIIRフィルタから容易に理解できるので説明を省略する。

【0048】このように図6に示した第2の実施例の回路によってセレクト240~244の切り替えにより、構成の異なる様々なフィルタ回路を必要最小限のゲート数で構成することができる。

【0049】尚、この図6においても、遅延素子201の入力及び他の遅延素子2~7の出力を取り出すデータセレクトを設け、各データセレクトをFIFOカウンタに従って動作させることにより、FIFOメモリを構成

することができる。

【0050】

【発明の効果】以上説明したように、本発明によれば、それぞれ複数の遅延素子、加算器、乗算器、セレクタ、ビットシフタ等で構成し、セレクタの選択により複数種類のフィルタを構成するようにしたことにより、複数種類のフィルタを構成できる多機能な回路でありながら、乗算器や加算器といったゲート規模の大きいブロックを必要最小限で構成できるようになり、従って、ゲート数を少なく抑えて安価でしかも演算精度のよい回路を実現することができる。また、これによりフィルタ等の機能を必要とする様々なシステムに対応することができ、安価な多機能なシステムを構築できる効果がある。

【0051】また、請求項4の様に構成することにより、FIRとIIRですら同一の回路素子を用いて構成することができる様になった。

【0052】また、請求項6の様に構成することにより、フィルタとFIFOとを共通の遅延素子を用いて構成できる様になった。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す構成図である。

【図2】第1の実施例をFIRフィルタとした場合の構成図である。

【図3】第1の実施例をゲイン可変FIRフィルタとし

た場合の構成図である。

【図4】第1の実施例をIIRフィルタとした場合の構成図である。

【図5】第1の実施例をオールパス型IIRフィルタとした場合の構成図である。

【図6】本発明の第2の実施例を示す構成図である。

【図7】第2の実施例をFIRフィルタとした場合の構成図である。

【図8】第2の実施例をIIRフィルタとした場合の構成図である。

【図9】従来のデジタルフィルタの構成図である。

【図10】従来のIIRフィルタの構成図である。

【符号の説明】

1～7 遅延素子

12 入力データ

21～23 加算器

13～16 乗算器

30～31 セレクタ

24～27 加算器

20 30～32 セレクタ

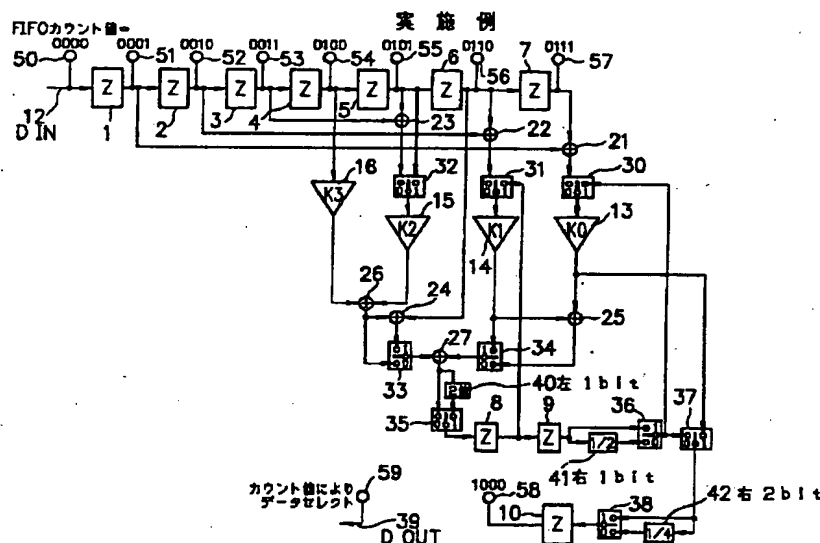
33～38 セレクタ

40～42 ビットシフタ

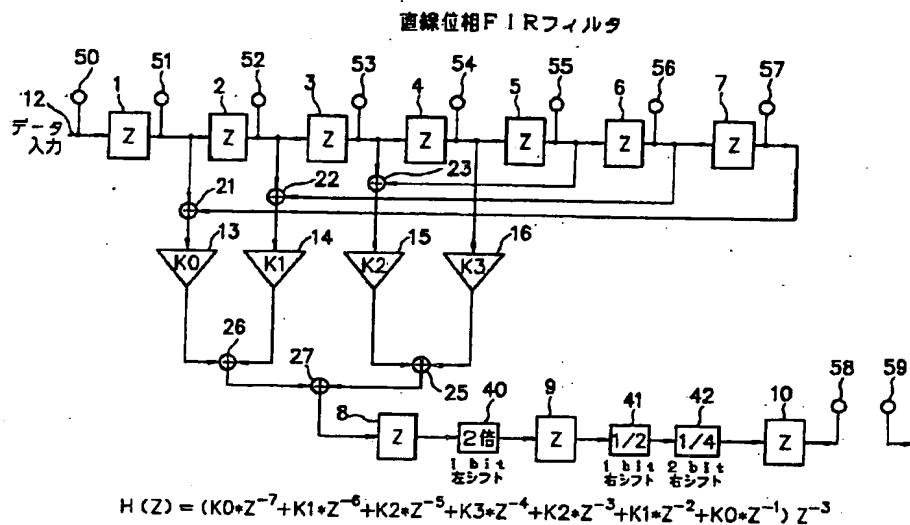
50～57 データセレクタ

58、59 データセレクタ

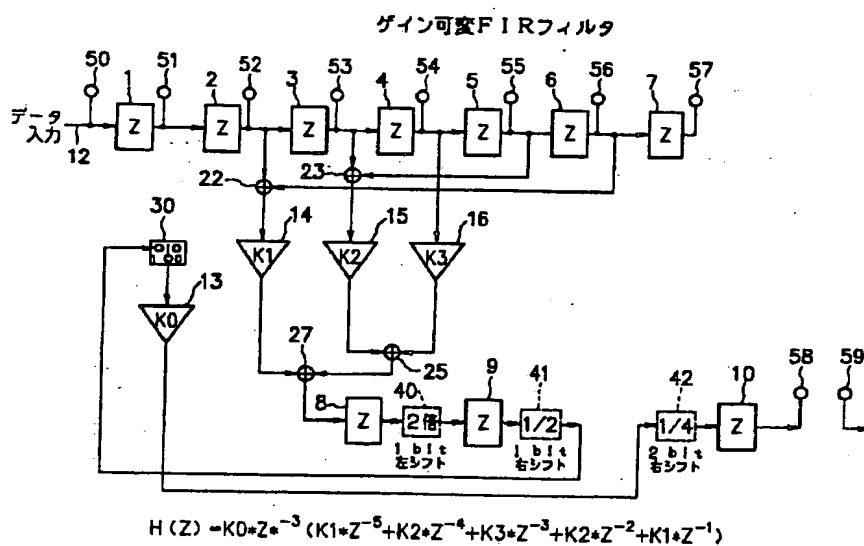
【図1】



【図2】

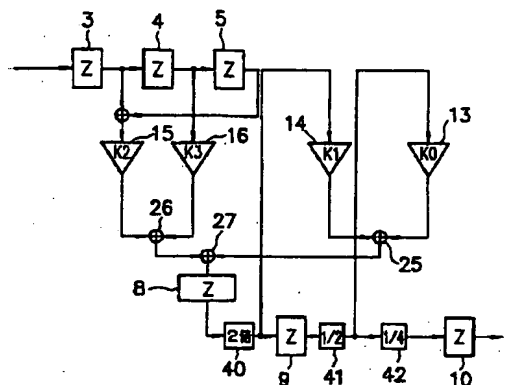


【図3】

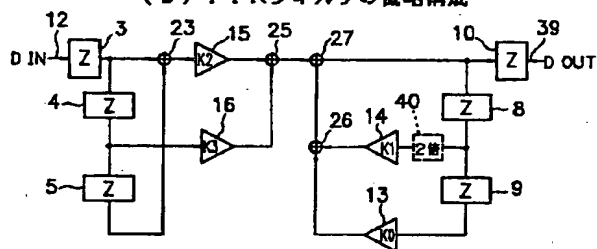


【図4】

(a) IIRフィルタ



(b) IIRフィルタの概略構成

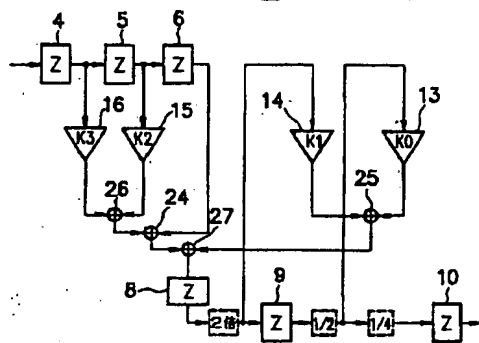


IIRフィルタ 伝達関数

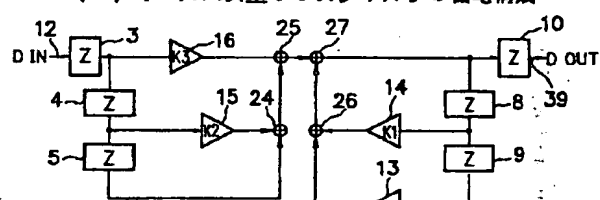
$$H(Z) = \frac{K2 \cdot (Z^{-2} + 1) + 2 \cdot K3 \cdot Z^{-1}}{1 + K1 \cdot Z^{-1} + K0 \cdot Z^{-2}}$$

【図5】

(a) オールパス型 IIR フィルタ



(b) オールパス型 IIR フィルタの概略構成



$$\text{オールパスの伝達関数} \quad H(Z) = \frac{Z^{-2} - C1 \cdot Z^{-1} + C0}{C0 \cdot Z^{-2} - C1 \cdot Z^{-1} + 1}$$

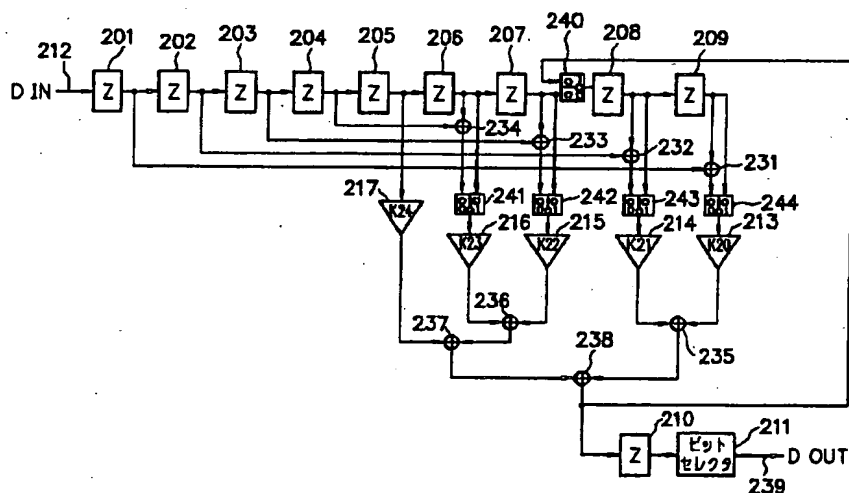
上記回路の伝達関数

$$H(Z) = \frac{Z^{-2} + K2 \cdot Z^{-1} + K3}{1 + K1 \cdot Z^{-1} + K0 \cdot Z^{-2}}$$

但し、 $K3=K0, K2=K1$ となるように $K2, K3$ の値を代入する。

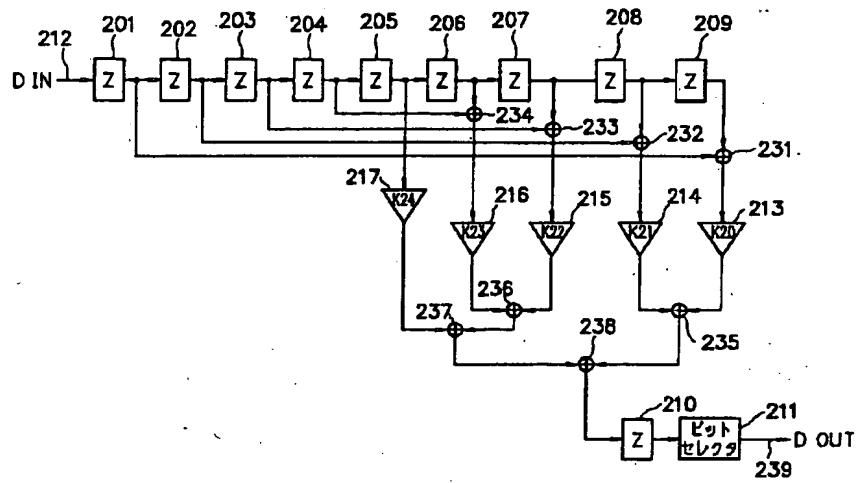
【図6】

実施例



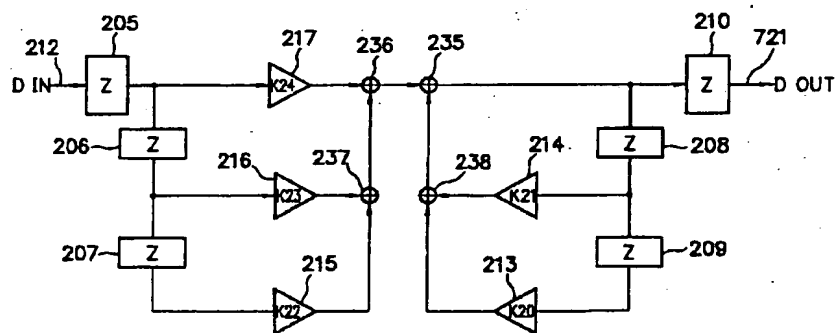
【図7】

9タップFIRフィルタ



【図8】

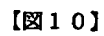
IIRフィルタ



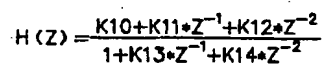
IIRフィルタ

$$H(Z) = \frac{K24 + K23 \cdot Z^{-1} + K22 \cdot Z^{-2}}{1 + K21 \cdot Z^{-1} + K20 \cdot Z^{-2}}$$

従来のデジタルフィルタ



従来のIIRフィルタ



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.